

802087

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月 9日

出 願 番 号

Application Number:

特願2002-200193

[ ST.10/C ]:

[ JP 2002-200193 ]

出 願 人

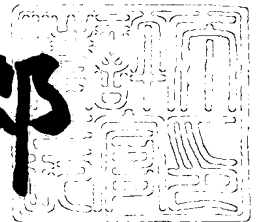
Applicant(s):

沖電気工業株式会社

2002年10月 8日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2002-3078366

【書類名】 特許願

【整理番号】 KA003832

【提出日】 平成14年 7月 9日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G01R 27/02

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会  
社内

【氏名】 千葉 正

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100086807

【弁理士】

【氏名又は名称】 柿本 恭成

【手数料の表示】

【予納台帳番号】 007412

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001054

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 容量測定用装置及び容量測定方法

【特許請求の範囲】

【請求項 1】 複数の電極を有する電気素子と、  
前記電気素子のそれぞれの前記電極のいずれかと電氣的に接続された複数の第 1 の端子と、  
前記第 1 の端子の周囲を囲むように配置され、導電体からなるガードリングと、  
前記ガードリングと電氣的に接続された第 2 の端子とを、  
有することを特徴とする容量測定用装置。

【請求項 2】 前記電気素子は、集積回路中に形成される素子の領域間の静電容量を実測で求めるために、該素子とほぼ同じ寸法及び形状で半導体基板上に形成されたデバイスパターンと、前記デバイスパターンが形成された前記半導体基板の表面に第 1 の絶縁層を介して形成され、該デバイスパターンの各領域を測定器に接続するために引き出す引き出しメタル配線と、前記引き出しメタル配線の周囲を囲むように前記第 1 の絶縁層の上に該引き出しメタル配線と同一工程で形成されたガード電極とを有し、

前記第 1 の端子は、前記引き出しメタル配線及び前記ガード電極が形成された前記半導体基板の表面に第 2 の絶縁層を介して形成され、該引き出しメタル配線を測定器に接続するための測定端子を有し、

前記ガードリングは、前記測定端子の周囲を囲むように前記第 2 の絶縁層の上に該測定端子と同一工程で形成され、前記ガード電極と電氣的に接続され、

前記第 2 の端子は、前記ガード電極を前記測定器に接続するために前記第 2 の絶縁層の上に前記測定端子と同一工程で形成されたことを特徴とする請求項 1 記載の容量測定用装置。

【請求項 3】 前記電気素子は、集積回路中に形成される素子の領域間の静電容量を実測で求めるために、該素子とほぼ同じ寸法及び形状で半導体基板上に形成されたデバイスパターンと、前記デバイスパターンが形成された前記半導体基板の表面に第 1 の絶縁層を介して形成され、該デバイスパターンの一部の領域

を測定器に接続するために引き出す第 1 の引き出しメタル配線と、前記第 1 の引き出しメタル配線の周囲を囲むように前記第 1 の絶縁層の上に該第 1 の引き出しメタル配線と同一工程で形成されたガード電極と、前記第 1 の引き出しメタル配線及び前記ガード電極が形成された前記半導体基板の表面に第 2 の絶縁層を介して形成され、前記デバイスパターンの他の領域を前記測定器に接続するために引き出す第 2 の引き出しメタル配線とを有し、

前記第 1 の端子は、前記第 2 の引き出しメタル配線が形成された前記半導体基板の表面に第 3 の絶縁層を介して形成され、前記第 1 の引き出しメタル配線及び該第 2 の引き出しメタル配線を測定器に接続するための測定端子を有し、

前記ガードリングは、前記測定端子の周囲を囲むように前記第 3 の絶縁層の上に該測定端子と同一工程で形成され、前記ガード電極と電氣的に接続され、

前記第 2 の端子は、前記ガード電極を前記測定器に接続するために前記第 3 の絶縁層の上に前記測定端子と同一工程で形成されたことを特徴とする請求項 1 記載の容量測定用装置。

【請求項 4】 前記静電容量の実測の対象となる素子は、MOS トランジスタであることを特徴とする請求項 2 または 3 記載の容量測定用装置。

【請求項 5】 複数の電極を有する電気素子と、前記電気素子のそれぞれの前記電極のいずれかと電氣的に接続された複数の第 1 の端子と、前記第 1 の端子の周囲を囲むように配置され、導電体からなるガードリングと、前記ガードリングと電氣的に接続された第 2 の端子とを有する容量測定用装置における任意の 2 つの第 1 の端子間の容量を測定する容量測定方法であって、

被測定試料である前記容量測定用装置を容量測定システムのプローバ内に配置して該容量測定用装置の第 2 の端子を該プローバに電氣的に接続する処理と、

前記容量測定用装置の測定対象となる第 1 の端子の 1 つを、外部導体が前記プローバと同一電位に接続された第 1 のシールド線を介して接地電位に接続する処理と、

出力端子が帰還抵抗を介して反転入力端子に接続された演算増幅器の非反転入力端子を前記プローバと同一電位に接続する処理と、

前記測定対象となる第 1 の端子の内の他の 1 つを、外部導体が前記プローバと

同一電位に接続された第 2 のシールド線を介して、前記演算増幅器の反転入力端子に接続する処理と、

前記演算増幅器の非反転入力端子と接地電位との間に交流信号を印加する処理と、

前記演算増幅器の出力端子に出力される交流信号の電圧に基づいて、前記容量測定用装置における測定対象の 2 つの第 1 の端子間の容量を求める処理とを行うことを特徴とする容量測定方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

【 0 0 0 2 】

本発明は、半導体集積回路のシミュレーションに必要なデバイスのパラメータを実測によって得るためのレイアウトパターン、特に微小容量を測定するための容量測定用装置及び容量測定方法に関するものである。

【 0 0 0 3 】

【従来の技術】

【 0 0 0 4 】

L S I 等の半導体集積回路の設計では、設計した回路の動作特性を評価するために、S P I C E (Simulation Program with IC Emphasis)等のシミュレーションが使用される。シミュレーションにおいて精度の高い結果を得るためには、個々のトランジスタ等のモデルとして使用されるパラメータの値と、実際のトランジスタの特性値との差が少ないことが必要となる。特に、M O S (Metal Oxide Semiconductor)トランジスタのゲートの静電容量は、回路の過渡応答に大きな影響を与えるため、正確な値が必要である。

【 0 0 0 5 】

微細化が進んでいない初期の半導体集積回路の時代には、原寸大のトランジスタのパターンと、測定プローブを接触させるためのパッドと、このトランジスタとパッドを接続する引き出しメタルとを有する容量測定用レイアウトパターンを実際の半導体基板上に形成し、これを実測することにより比較的正確なパラメー

タを得ていた。

【 0 0 0 6 】

半導体集積回路の微細化が進んでトランジスタのサイズが小さくなるに従い、トランジスタのゲート容量も  $p (10^{-12})$  F レベルから  $f (10^{-15})$  F レベルに小さくなるが、測定プローブの寸法や測定可能な最小容量等はこれに追随することができなかった。このため、原寸大のトランジスタを用いた容量測定用レイアウトパターンによる測定は不可能となり、実際のトランジスタの数百倍の寸法のモデルによる容量測定用レイアウトパターンを形成し、その測定結果からパラメータを理論的に換算して求める方法が取られていた。

【 0 0 0 7 】

図 2 は、従来のゲート容量測定用レイアウトパターンの一例を示す平面図である。

【 0 0 0 8 】

このレイアウトパターンは、シリコン基板上に形成されるもので、実際の寸法の数百倍の大きさに形成されたトランジスタ 1 を有している。トランジスタ 1 は図示しない半導体ウェルの中に設けられ、ドレイン領域 1 d、ソース領域 1 s 及びゲート領域 1 g で構成されている。トランジスタ 1 が形成されたシリコン基板の表面には、図示しない絶縁層を介して、金属膜による配線パターンが形成されている。

【 0 0 0 9 】

配線パターンは、ドレイン電極用の引き出しメタル 2 d とパッド 3 d、ソース電極用の引き出しメタル 2 s とパッド 3 s、ゲート電極用の引き出しメタル 2 g とパッド 3 g、及びウェル用の引き出しメタル 2 w とパッド 3 w で構成されている。ドレイン領域 1 d と引き出しメタル 2 d の間、ソース領域 1 s と引き出しメタル 2 s の間、ゲート領域 1 g と引き出しメタル 2 g の間、及び半導体ウェルと引き出しメタル 2 w の間は、それぞれスルーホール 4 d, 4 s, 4 g, 4 w を介して、コンタクトメタルで電氣的に接続されている。

【 0 0 1 0 】

このような容量測定用レイアウトパターンを用いて、例えばパッド 3 d, 3 s

、3wを接地電位GNDに共通接続し、ゲート電極用のパッド3gと接地電位GND間の静電容量を測定する。そして、得られた測定結果に基づいて、パターンの寸法と実際のデバイスの寸法との比率に基づいて換算を行い、シミュレーション用のパラメータを算出していた。

## 【 0 0 1 1 】

しかし、単に寸法の比率だけによる論理的な換算では、得られたパラメータと実際の値とが相違し、シミュレーション結果と実際のデバイスの動作状態における測定結果とが異なるという問題があった。

## 【 0 0 1 2 】

一方、このような問題を解決するために、fFレベルの微小容量を測定可能とする微小容量測定システムが現れている。

## 【 0 0 1 3 】

図3(a)～(c)は、特開2000-55956号公報に記載された微小容量測定システムの説明図である。

## 【 0 0 1 4 】

図3(a)に示すように、この微小容量測定システムはプローバ10と測定回路20で構成されている。プローバ10は、シールドケース11の内部に容量性の被測定物30を載せるステージ12が設けられ、この被測定物30に接続する同軸ケーブル13、14が配置されている。同軸ケーブル13、14の内部導体13a、14aの先端は、測定用のプローブとなっており、それぞれマニピュレータ15、16で被測定物30の任意の電極に接触できるようになっている。

## 【 0 0 1 5 】

また、同軸ケーブル13、14の外部導体13b、14bは、シールドケース11に接続されている。更に、同軸ケーブル13、14の他端はシールドケース11の外に引き出され、それぞれ測定回路20と接地電位GNDに接続されている。

## 【 0 0 1 6 】

図3(b)は、測定時における被測定物30と同軸ケーブル13、14の接続状態を示すものである。例えば、この被測定物30は、シリコン基板31上に絶

縁層 3 2 を介して下部電極 3 3 が形成され、この下部電極 3 3 上に絶縁膜 3 4 を介して測定電極 3 5 が形成されている。下部電極 3 3 の表面には、同軸ケーブル 1 3 の内部導体 1 3 a の先端が接触され、この同軸ケーブル 1 3 の他端が測定回路 2 0 に接続されている。また、測定電極 3 5 の表面には、同軸ケーブル 1 4 の内部導体 1 4 a の先端が接触され、その他端が接地電位 GND に接続されるようになっている。

## 【 0 0 1 7 】

図 3 (c) は、容量測定回路の構成図である。被測定物 3 0 の測定電極 3 5 は、同軸ケーブル 1 4 を介して接地電位 GND に接続される。一方、被測定物 3 0 の下部電極 3 3 は、同軸ケーブル 1 3 の内部導体 1 3 a を介して測定回路 2 0 に導かれ、演算増幅器 2 1 の反転入力端子に接続されている。演算増幅器 2 1 の出力側は、出力端子 2 2 に接続されると共に、帰還抵抗 2 3 を介して反転入力端子に接続されている。

## 【 0 0 1 8 】

また、同軸ケーブル 1 3 の外部導体 1 3 b は、接地電位 GND からは浮いた状態で、演算増幅器 2 1 の非反転入力端子に接続されている。更に、演算増幅器 2 1 の非反転入力端子には、交流信号発生器 2 4 が接続されている。

## 【 0 0 1 9 】

このような構成により、シールドケース 1 1、ステージ 1 2 の導電性部分、マニピュレータ 1 5、1 6 の導電性部分、シリコン基板 3 1 の裏面等、プローバ 1 0 の導電性部分が、演算増幅器 2 1 の非反転入力端子に接続される。一方、演算増幅器 2 1 の反転入力端子には、同軸ケーブル 1 3 を介して被測定容量  $C_x$  の一方の電極である下部電極 3 3 が接続される。そして、被測定容量  $C_x$  の他方の電極である測定電極 3 5 が、同軸ケーブル 1 4 を介して接地電位 GND に接続される。

## 【 0 0 2 0 】

演算増幅器 2 1 には帰還抵抗 2 3 を介して負帰還がかかっており、しかも、その開ループ利得は無限大に近いので、この演算増幅器 2 1 の入力側はイマジナリ・ショートの状態となって、反転入力端子と非反転入力端子の間の電位差は実質



的にゼロである。ここで、交流信号発生器 2 4 から演算増幅器 2 1 の非反転入力端子に、電圧  $V_i$ 、角周波数  $\omega$  の交流信号を印加した場合、出力端子 2 2 に出力される出力電圧  $V_o$  は、帰還抵抗 2 3 の抵抗値を  $R_f$  として、次の (1) 式のようになる。

$$V_o = V_i (1 + j \omega R_f \cdot C_x) \cdots (1)$$

【0 0 2 1】

従って、出力電圧  $V_o$  を測定することにより、(1) 式から被測定容量  $C_x$  を算出することができる。

【0 0 2 2】

ここで留意すべきことは、演算増幅器 2 1 はイマジナリ・ショートの状態にあるので、シールドケース 1 1 内に形成される寄生容量のような、等価的に同軸ケーブル 1 3 の内部導体 1 3 a と外部導体 1 3 b の間に形成されると見なされる浮遊容量がキャンセルされることである。これにより、 $f_F$  レベルの微小容量も測定が可能になる。

【0 0 2 3】

以上述べたような微小容量測定システムにより、 $f_F$  レベルの微小容量の測定が可能になるので、図 2 のゲート容量測定用レイアウトパターンに代えて、トランジスタを実際の寸法で形成したレイアウトパターンを用いて、そのゲート容量を測定することが可能になる。

【0 0 2 4】

【発明が解決しようとする課題】

【0 0 2 5】

しかしながら、従来のゲート容量測定用レイアウトパターンでは、次のような課題があった。

【0 0 2 6】

即ち、図 2 において、トランジスタ 1 の寸法を実際のトランジスタの寸法に合わせて微細化することは可能である。しかし、トランジスタの電極間の静電容量を測定するために設ける測定用のパッド 3 d, 3 g 等の寸法は、測定器側の物理的な制約により、小さくすることができない。このため、図 2 におけるトランジ

スタ 1 の部分のみを微細化すると、トランジスタの電極間の静電容量に比べて、パッド間の静電容量、即ち寄生容量が桁外れに大きくなってしまい、このトランジスタの電極間の正確な静電容量を測定することが不可能である。

【 0 0 2 7 】

本発明は、前記従来技術が持っていた課題を解決し、原寸大のパターンを用いて、トランジスタのゲート電極等の静電容量を正確に測定することができる、容量測定用装置及び容量測定方法を提供するものである。

【 0 0 2 8 】

【課題を解決するための手段】

【 0 0 2 9 】

前記課題を解決するために、本発明の内の第 1 の発明は、容量測定用装置において、複数の電極を有する電気素子と、前記電気素子のそれぞれの前記電極のいずれかと電氣的に接続された複数の第 1 の端子と、前記第 1 の端子の周囲を囲むように配置され、導電体からなるガードリングと、前記ガードリングと電氣的に接続された第 2 の端子とを有している。

【 0 0 3 0 】

本発明によれば、以上のように容量測定用装置を構成したので、次のような作用が行われる。

【 0 0 3 1 】

例えば、半導体基板上に、MOS トランジスタ等のデバイスパターンが形成される。そして、MOS トランジスタのゲート電極やドレイン電極等は引き出しメタル配線等を介してそれぞれの第 1 の端子に接続される。更に、これらの第 1 の端子の周囲には導電体からなるガードリングが形成される。そして、ガードリングは、測定器に接続するための第 2 の端子に接続される。従って、寄生容量をキャンセルするためのガード端子を備えた微小容量測定システムを使用して、容量測定用装置の第 2 の端子をこのガード端子に接続し、2 つの第 1 の端子の間の静電容量を測定することにより、MOS トランジスタのゲート容量等を精度良く実測することができる。

【 0 0 3 2 】

## 【発明の実施の形態】

## 【0033】

## (第1の実施形態)

## 【0034】

図1(a), (b)は、本発明の第1の実施形態を示すゲート容量測定用レイアウトパターンの平面図であり、同図(a)は測定器接続用のパッドが形成された最上層の金属パターン、及び同図(b)はトランジスタの表面に絶縁層を介して形成された最下層の配線パターンを示している。

## 【0035】

このレイアウトパターンは、シリコン基板上に形成されるもので、図1(b)に示すように、ほぼ原寸大に形成されたトランジスタ40を有している。トランジスタ40は図示しない半導体ウエルの中に設けられ、ドレイン領域41、ソース領域42及びゲート領域43で構成されている。トランジスタ40が形成されたシリコン基板の表面には、図示しない絶縁層を介して、金属膜による最下層の配線パターン50が形成されている。

## 【0036】

配線パターン50は、ドレイン電極用の引き出しメタル51とパッド部51p、ソース電極用の引き出しメタル52とパッド部52pと、ゲート電極用の引き出しメタル53とパッド部53p、及びウエル用の引き出しメタル54とパッド部54pを有している。トランジスタ40のドレイン領域41と引き出しメタル51、ソース領域42と引き出しメタル52、ゲート領域43と引き出しメタル53、及びウエルと引き出しメタル54の間は、それぞれ図示しないスルーホールを介して、コンタクトメタルで電氣的に接続されている。

## 【0037】

配線パターン50は、更にガード電極55とパッド部55pを有している。ガード電極55とパッド部55pは連続したパターンとなっており、このガード電極55は、ゲート電極用の引き出しメタル53とパッド部53pの周囲を囲むように形成されている。更に、ガード電極55は、引き出しメタル51～54及びパッド部51p～54pと接触しないように、これらと同一平面上の空き領域を

覆うように形成されている。

#### 【0038】

パッド部 5 1 p ~ 5 5 p の寸法及び配置は、トランジスタ 4 0 の寸法とは関係なく、測定器のプローブの寸法を考慮して決められている。例えば、パッド部 5 1 p, 5 3 p は、1 辺の長さが 5 0  $\mu$  m の正方形であり、このパッド部 5 1 p, 5 3 p 間の距離は 5 0  $\mu$  m となっている。

#### 【0039】

これらの引き出しメタル 5 1 ~ 5 4、ガード電極 5 5、及びパッド部 5 5 p から成る配線パターン 5 0 は、同一の工程で同時に形成されている。配線パターン 5 0 の上には、図示しない絶縁層を介して、最上層の金属パターン 6 0 が形成されている。

#### 【0040】

金属パターン 6 0 は、図 1 (a) に示すように、配線パターン 5 0 のパッド部 5 1 p ~ 5 5 p に対応するパッド 6 1 ~ 6 5 を有している。更に、各パッド 6 1 ~ 6 4 の周囲には、それぞれパッド 6 1 ~ 6 4 を囲むように、ガードリング 6 1 g ~ 6 4 g が形成されている。

#### 【0041】

対応するパッド 6 1 ~ 6 5 とパッド部 5 1 p ~ 5 5 p との間は、それぞれ図示しないスルーホールを介して、コンタクトメタルで電氣的に接続されている。また、ガードリング 6 1 g ~ 6 4 g とガード電極 5 5 との間は、要所要所に設けられた図示しないスルーホールを介して、コンタクトメタルで電氣的に接続されている。

#### 【0042】

これらのパッド 6 1 ~ 6 5 とガードリング 6 1 g ~ 6 4 g から成る金属パターン 6 0 は、同一の工程で同時に形成されている。

#### 【0043】

このようなゲート容量測定用レイアウトパターンを用いて、測定対象のトランジスタ 4 0 のゲート容量を測定する場合、このレイアウトパターンが形成されたシリコン基板を、図 3 の微小容量測定システムのプローバ 1 0 内のステージ 1 2

上に搭載する。そして、ガード電極 5 5 に対応するパッド 6 5 をシールドケース 1 1 に電氣的に接続する。また、ゲート領域 4 2 に対応するパッド 6 3 に、同軸ケーブル 1 4 の内部導体 1 4 a を接触させると共に、例えばドレイン領域 4 1 に対応するパッド 6 1 に、同軸ケーブル 1 3 の内部導体 1 3 a を接触させ、この間の静電容量を測定する。

## 【 0 0 4 4 】

前述したように、図 3 の微小容量測定システムでは、同軸ケーブル 1 3 の内部導体 1 3 a と外部導体 1 3 b の間の静電容量はキャンセルされる。従って、このゲート容量測定用レイアウトパターンにおいては、ドレイン領域 4 1 とガード電極 5 5 との間の寄生容量がキャンセルされる。これにより、トランジスタ 4 0 のドレイン領域 4 1 とゲート領域 4 3 間の、正味の静電容量を測定することができる。

## 【 0 0 4 5 】

以上のように、この第 1 の実施形態のゲート容量測定用レイアウトパターンは、測定対象となるトランジスタ 4 0 のゲート領域 4 3 に接続された引き出しメタル 5 3 及びパッド部 5 3 p の周囲を囲むように形成されたガード電極 5 5 と、測定器を接続するための各パッド 6 1 ～ 6 4 の周囲を囲むように形成されたガードリング 6 1 g ～ 6 4 g を有している。従って、例えば図 3 の微小容量測定システムを用いてゲート容量を測定した場合、寄生容量に影響されずに極めて小さなゲート容量を正確に測定することができる。これにより、原寸大のトランジスタの電極間の静電容量を精度良く測定することができるという利点がある。

## 【 0 0 4 6 】

(第 2 の実施形態)

## 【 0 0 4 7 】

図 4 (a) ～ (c) は、本発明の第 2 の実施形態を示すゲート容量測定用レイアウトパターンの平面図である。このレイアウトパターンは、最上層の金属パターンと最下層の配線パターンとの間に、第 2 の配線パターンを備えている。

図 4 (a) は、測定器接続用のパッドが形成された最上層の金属パターン、同図 (c) は、トランジスタの表面に絶縁層を介して形成されたる最下層の配線パ

ターン、及び同図（b）は、最上層の金属パターンと最下層の配線パターンの間に絶縁層を介して形成された第2の配線パターンを示している。

## 【0048】

このレイアウトパターンは、シリコン基板上に形成されるもので、図4（c）に示すように、ほぼ原寸大に形成されたトランジスタ40を有している。トランジスタ40は図示しない半導体ウェルの中に設けられ、ドレイン領域41、ソース領域42及びゲート領域43で構成されている。トランジスタ40が形成されたシリコン基板の表面には、図示しない絶縁層を介して金属膜による最下層の配線パターン70が形成されている。

## 【0049】

配線パターン70は、ドレイン電極用の引き出しメタル71とパッド部71p、ソース電極用の引き出しメタル72とパッド部72p、及びメタル75a、75bを有している。トランジスタ40のドレイン領域41と引き出しメタル71、及びソース領域42と引き出しメタル72の間は、それぞれ図示しないスルーホールを介して、コンタクトメタルで電氣的に接続されている。

## 【0050】

配線パターン70は、更にガード電極75とパッド部75pを有している。ガード電極75とパッド部75pは連続したパターンで構成され、このガード電極75は、引き出しメタル71、72及びパッド部71p、72pと接触しないように、これらと同一平面上の空き領域を覆うように形成されている。

## 【0051】

また、ガード電極75中に窓を明けて設けられたメタル75a、75bは、それぞれトランジスタ40のゲート領域43と図示しないウェルに、スルーホールを介してコンタクトメタルで電氣的に接続されている。そして、配線パターン70の上には、図示しない絶縁層を介して、第2の配線パターン80が形成されている。

## 【0052】

配線パターン80は、図4（b）に示すように、ゲート電極用の引き出しメタル83とパッド部83p、及びウェル用の引き出しメタル84とパッド部84p

を有している。メタル 7 5 a と引き出しメタル 8 3、及びメタル 7 5 b と引き出しメタル 8 4 の間は、それぞれ図示しないスルーホールを介して、コンタクトメタルで電氣的に接続されている。なお、メタル 7 5 a とメタル 8 3 の間、及びメタル 7 5 b とメタル 8 3 の間は、層間の絶縁層によって隔てられている。

## 【 0 0 5 3 】

更に、配線パターン 8 0 は、配線パターン 7 0 のパッド部 7 1 p、7 2 p、7 5 p に対応したパッド部 8 1 p、8 2 p、8 5 p を有している。また、パッド部 8 1 p ～ 8 4 p の周囲には、それぞれガードリング 8 1 g ～ 8 4 g が形成されている。

## 【 0 0 5 4 】

パッド部 8 1 p、8 2 p とこれに対応する配線パターン 7 0 側のパッド部 7 1 p、7 2 p との間は、それぞれ図示しないスルーホールを介して、コンタクトメタルで電氣的に接続されている。また、ガードリング 8 1 g ～ 8 4 g とガード電極 7 5 との間は、要所要所に設けられた図示しないスルーホールを介して、コンタクトメタルで電氣的に接続されている。配線パターン 8 0 の上には、図示しない絶縁層を介して、最上層の金属パターン 9 0 が形成されている。

## 【 0 0 5 5 】

金属パターン 9 0 は、図 4 ( a ) に示すように、配線パターン 8 0 のパッド部 8 1 p ～ 8 5 p に対応するパッド 9 1 ～ 9 5 を有している。更に、各パッド 9 1 ～ 9 4 の周囲には、それぞれパッド 9 1 ～ 9 4 を囲むように、ガードリング 9 1 g ～ 9 4 g が形成されている。

## 【 0 0 5 6 】

パッド 9 1 ～ 9 5 とこれに対応する配線パターン 8 0 側のパッド部 8 1 p ～ 8 5 p との間は、それぞれ図示しないスルーホールを介して、コンタクトメタルで電氣的に接続されている。また、ガードリング 9 1 g と 8 1 g、9 2 g と 8 2 g、9 3 g と 8 3 g、及び 9 4 g と 8 4 g の間は、それぞれ要所要所に設けられた図示しないスルーホールを介して、コンタクトメタルによって電氣的に接続されている。

## 【 0 0 5 7 】

このようなゲート容量測定用レイアウトパターンを用いて、測定対象のトランジスタ 4 0 のゲート容量を測定する場合、このレイアウトパターンが形成されたシリコン基板を、図 3 の微小容量測定システムのプローバ 1 0 内のステージ 1 2 上に搭載する。そして、ガード電極に対応するパッド 9 5 をシールドボックス 1 1 に電氣的に接続する。また、ゲート領域 4 3 に対応するパッド 9 3 に、同軸ケーブル 1 4 の内部導体 1 4 a を接触させると共に、例えばドレイン領域 4 1 に対応するパッド 9 1 に、同軸ケーブル 1 3 の内部導体 1 3 a を接触させて、この間の静電容量を測定する。

## 【 0 0 5 8 】

前述したように、図 3 の微小容量測定システムでは、同軸ケーブル 1 3 の内部導体 1 3 a と外部導体 1 3 b の間の静電容量はキャンセルされる。従って、このゲート容量測定用レイアウトパターンにおいては、ドレイン領域 4 1 とガード電極 7 5 及びガードリング 8 1 g ~ 8 4 g, 9 1 g ~ 9 4 g との間の寄生容量がキャンセルされる。これにより、トランジスタ 4 0 のドレイン領域 4 1 とゲート領域 4 3 間の、正味の静電容量を測定することができる。

## 【 0 0 5 9 】

以上のように、この第 2 の実施形態のゲート容量測定用レイアウトパターンは、測定対象となるトランジスタ 4 0 のゲート領域 4 3 に接続された引き出しメタル 8 3、パッド部 8 3 p 及びパッド 9 3 の周囲を囲むように形成されたガード電極 7 5 と、測定器を接続するため各パッド 8 1 p ~ 8 4 p, 9 1 ~ 9 4 の周囲を囲むように形成されたガードリング 8 1 g ~ 8 4 g, 9 1 g ~ 9 4 g とを有している。従って、多層の配線パターンを有する場合にも、第 1 の実施形態と同様の利点がある。

## 【 0 0 6 0 】

なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次のようなものがある。

## 【 0 0 6 1 】

(a) 図 1 に 1 層の配線パターンを有するレイアウトを、図 4 に 2 層の配線パターンを有するレイアウトを例示したが、更に複数の配線パターンを有するレイ



アウトにも同様に適用可能である。

【 0 0 6 2 】

(b) トランジスタのゲート容量を実測するためのレイアウトパターンについて説明したが、トランジスタに限らず、その他の微小容量の実測に適用することもできる。

【 0 0 6 3 】

(c) ガード電極等のパターンの形状、寸法及び配置は、例示したものに限定されない。

【 0 0 6 4 】

(d) レイアウトパターンでの容量測定は、パッド 6 1, 6 3 の間に限定されない。任意のパッド間の容量を測定することができる。

【 0 0 6 5 】

(e) レイアウトパターンでの容量測定には、図 3 の微小容量測定システムを使用しているが、ガード電極によって寄生容量をキャンセルして測定することができる測定器であれば、どのような測定器を使用しても良い。

【 0 0 6 6 】

【発明の効果】

【 0 0 6 7 】

以上詳細に説明したように、第 1 及び第 5 の発明によれば、電気素子の電極に接続された複数の第 1 の端子には、その周囲を囲むように配置された導電体のガードリングが設けられ、更に、このガードリングは第 2 の端子に接続されている。これにより、寄生容量をキャンセルするためのガード端子を備えた微小容量測定システムを使用して、任意の 2 つの第 1 の端子間の微小容量を精度良く測定することができる。

【 0 0 6 8 】

第 2 の発明によれば、引き出しメタル配線の周囲を囲むように形成されたガード電極と、このガード電極を測定器に接続するためのガード端子を有している。これにより、寄生容量をキャンセルするためのガード端子を備えた微小容量測定システムを使用して、原寸大の素子の領域間の微小容量を精度良く測定すること

ができる。

【 0 0 6 9 】

第 3 の発明によれば、引き出しメタル配線の周囲に形成されたガード電極を有しているので、2つの工程で形成された第 1 及び第 2 の引き出しメタル配線を有するデバイスに対しても、第 1 の発明と同様の効果が得られる。

【 0 0 7 0 】

第 4 の発明によれば、特に微細化が顕著な MOS トランジスタに対して、正確なパラメータを得ることが可能になり、設計精度の向上を図ることができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態を示すゲート容量測定用レイアウトパターンの平面図である。

【図 2】

従来のゲート容量測定用レイアウトパターンの一例を示す平面図である。

【図 3】

微小容量測定システムの説明図である。

【図 4】

本発明の第 2 の実施形態を示すゲート容量測定用レイアウトパターンの平面図である。

【符号の説明】

4 0 トランジスタ

5 1 ～ 5 4, 7 1, 7 2, 8 3, 8 4 引き出しメタル

5 1 p ～ 5 5 p, 7 1 p, 7 2 p, 7 5 p, 8 1 p ～ 8 5 p パッド部

5 5, 7 5 ガード電極

6 1 ～ 6 5, 9 1 ～ 9 5 パッド

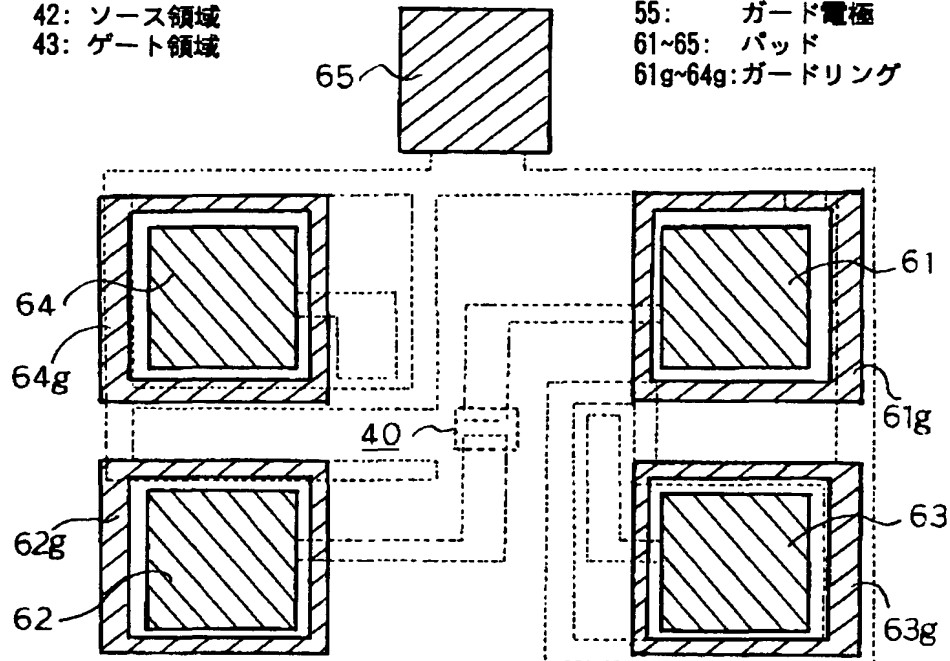
6 1 g ～ 6 4 g, 8 1 g, 8 2 g, 9 1 g ～ 9 4 g ガードリング

【書類名】 図面

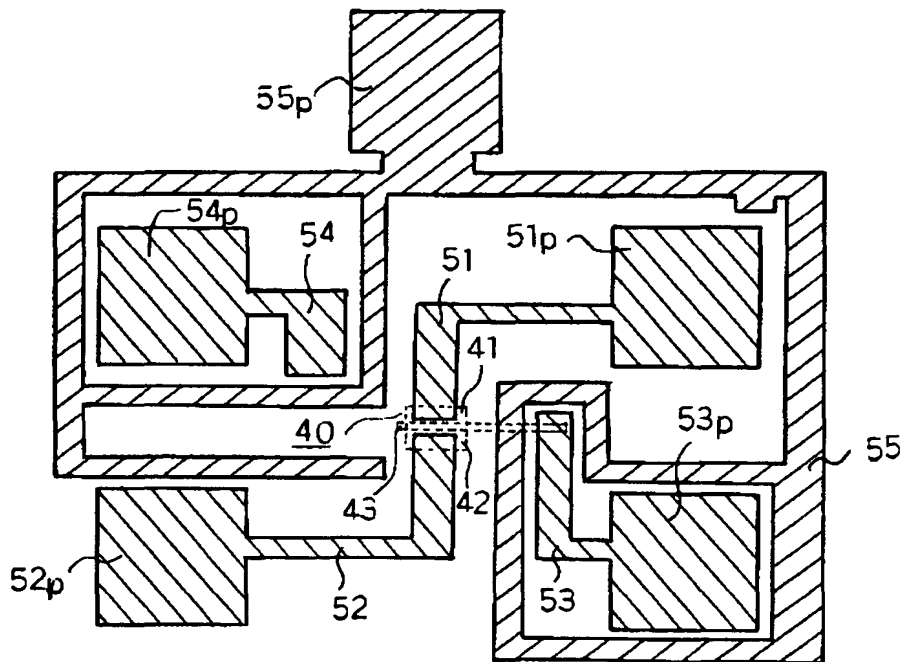
【図 1】

40: トランジスタ  
41: ドレイン領域  
42: ソース領域  
43: ゲート領域

51~54: 引き出しメタル  
51p~55p: パッド部  
55: ガード電極  
61~65: パッド  
61g~64g: ガードリング



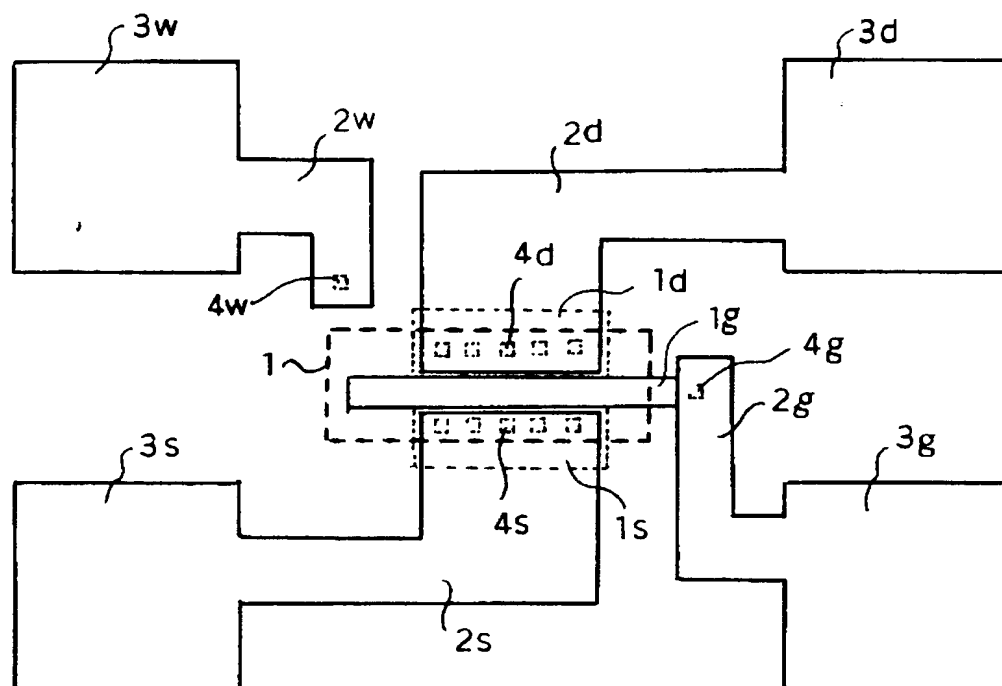
(a) 最上層の金属パターン



(b) 最下層の配線パターン

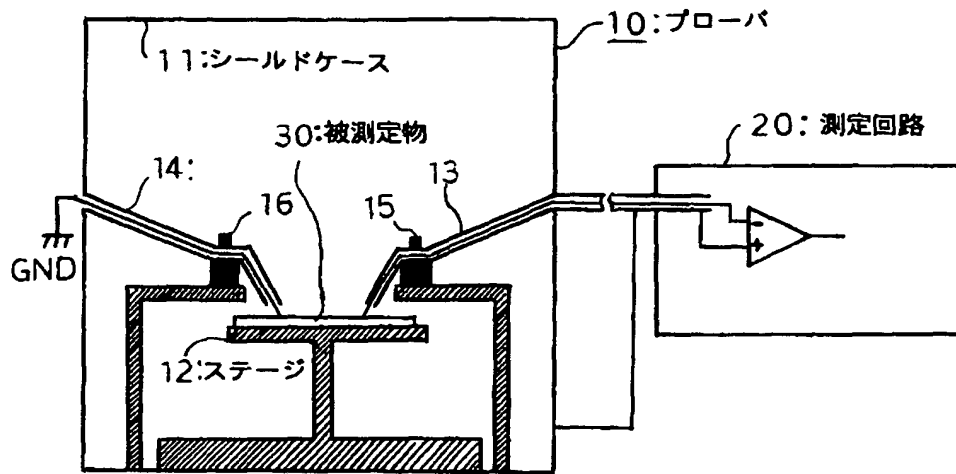
本発明の第 1 の実施形態のレイアウトパターン

【図 2】

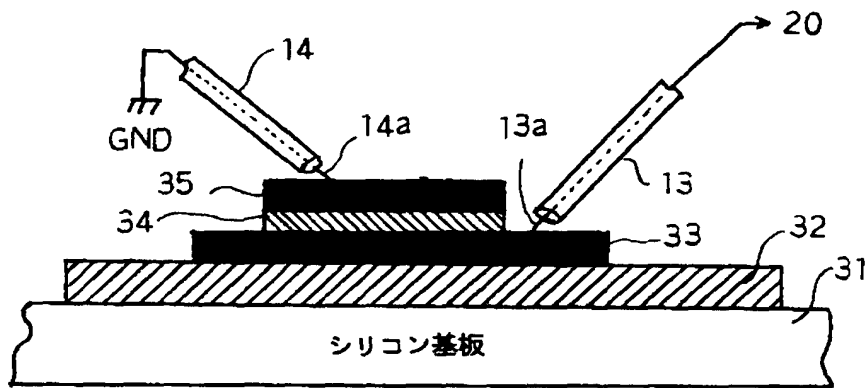


従来のレイアウトパターン

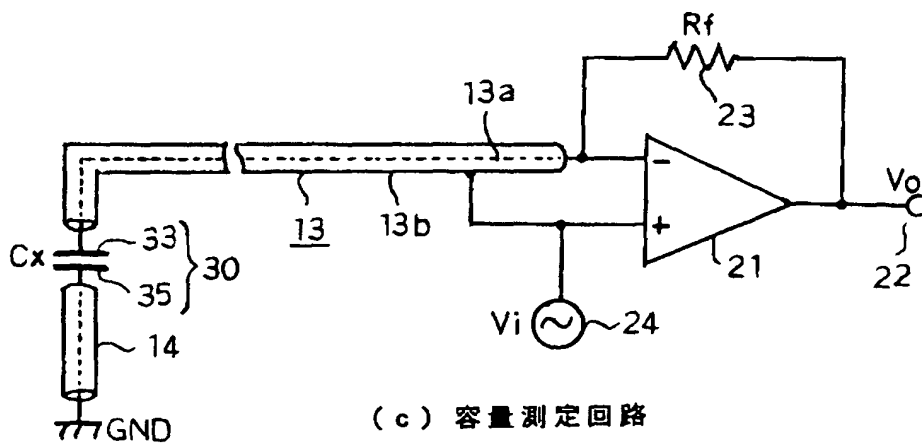
【図 3】



(a) 全体構成



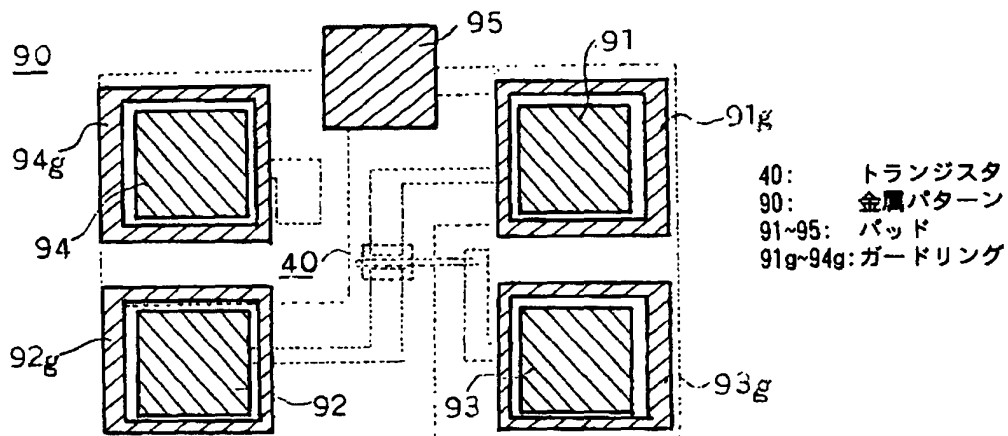
(b) 被測定物の接続



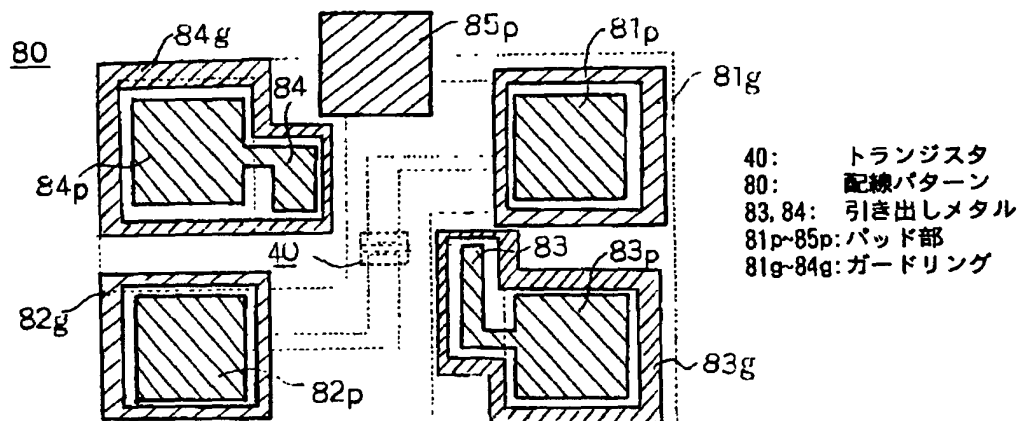
(c) 容量測定回路

微小容量測定システム

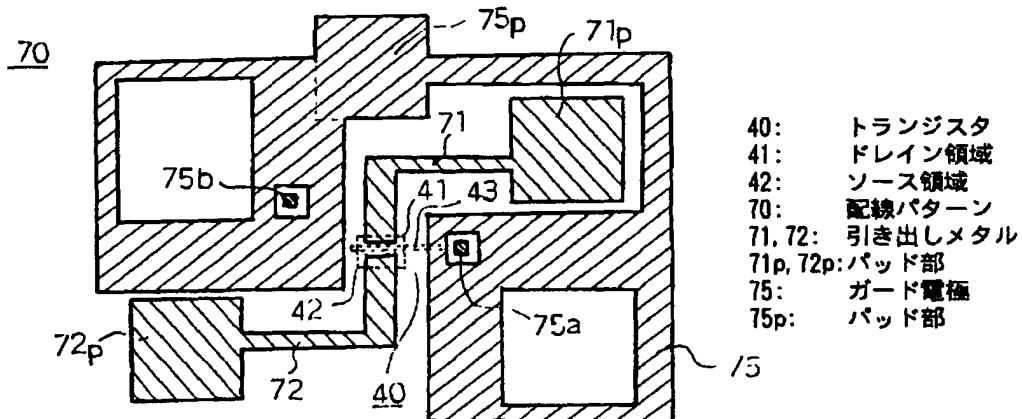
【図 4】



(a) 最上層の金属パターン



(b) 中間の配線パターン



(c) 最下層の配線パターン

本発明の第 2 の実施形態のレイアウトパターン

【書類名】 要約書

【要約】

【課題】 原寸大のパターンを用いて、トランジスタのゲート電極等の静電容量を正確に測定できる、容量測定用装置と容量測定方法を提供する。

【解決手段】 半導体基板上のトランジスタ 4 0 のドレイン 4 1、ソース 4 2、ゲート 4 3 等の各領域を接続する引き出しメタル 5 1 ～ 5 4 及びパッド部 5 1 p ～ 5 4 p が形成され、更に、ゲート用の引き出しメタル 5 3 及びパッド部 5 3 p を囲むガード電極 5 5 及びパッド部 5 5 p が形成される。パッド部 5 1 p ～ 5 5 p の上には、測定器のプロープを接触させるためのパッド 6 1 ～ 6 5 が形成され、これらのパッド 6 1 ～ 6 4 の周囲に、ガード電極 5 5 に電氣的に接続されたガードリング 6 1 g ～ 6 4 g が形成される。これにより、寄生容量キャンセル用のガード端子を備えた微小容量測定器を使用して、ガード電極 5 5 をそのガード端子に接続し、原寸大の素子の領域間の微小容量を精度良く測定できる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 0 2 9 5 ]

1. 変更年月日 1 9 9 0 年 8 月 2 2 日

[変更理由] 新規登録

住 所 東京都港区虎ノ門1丁目7番12号

氏 名 沖電気工業株式会社